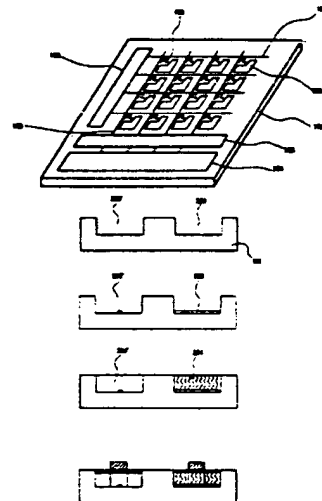


**(54) SEMICONDUCTOR DEVICE FOR DRIVING OF ACTIVE MATRIX TYPE  
LIQUID CRYSTAL DISPLAY ELEMENT AND PRODUCTION THEREFOR**

(11) 5-134272 (A) (43) 28.5.1993 (19) JP  
(21) Appl. No. 3-319669 (22) 8.11.1991  
(71) CANON INC (72) SHIGEKI KONDO  
(51) Int. Cl.<sup>5</sup> G02F1/136, G02F1/1345

**PURPOSE:** To enable high-speed driving by simultaneously and monolithically forming the switching TFTs of picture element parts of polycrystalline silicon TFTs and forming peripheral driving circuits of single crystal silicon TFTs.

**CONSTITUTION:** Recessed parts 202, 202' are provided on an insulating substrate 101. After a silicon nitride film is deposited over the entire surface, the silicon nitride film is etched away in such a manner that the film remains over the entire part of the bases 203 of the recessed parts 202 and leaves dots 203' at nearly the center of the bases thereof of the recessed parts 202'. The polycrystalline silicon 204 is grown in the recessed parts 202 and the single crystal silicon 204' in the recessed parts 202' by using a vacuum epitaxial growth device. The picture element switches 103 are formed of the polycrystalline silicon TFTs on the polycrystalline silicon 204. The peripheral driving circuits (horizontal shift registers 104, buffers 105, vertical shift registers 106) are formed of the single crystal silicon TFTs on the single crystal silicon 204'.





(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-134272

(43)公開日 平成5年(1993)5月28日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/1345		9018-2K	

審査請求 未請求 請求項の数6(全 6 頁)

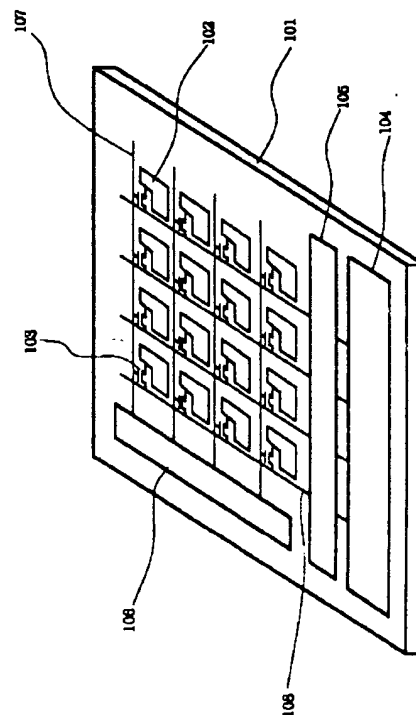
(21)出願番号	特願平3-319669	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成3年(1991)11月8日	(72)発明者	近藤 茂樹 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(74)代理人	弁理士 伊東 哲也 (外1名)

(54)【発明の名称】 アクティブマトリクス型液晶表示素子の駆動用半導体装置及びその製造方法

(57)【要約】

【目的】 高品位テレビ等に対応できるような高速駆動をなし得るアクティブマトリクス素子の駆動用半導体装置を容易な方法で提供する。

【構成】 画素部のスイッチングTFTと周辺の駆動回路とを同一基板上に同時にモノリシックに形成し、画素部のスイッチングTFTは多結晶シリコン上に作製し、周辺の駆動回路は単結晶シリコン上に作製する。



## 【特許請求の範囲】

【請求項1】 画素部のスイッチングTFTおよび他の周辺の駆動回路を備え、これらは同一基板上にモノリシックに形成されているとともに、画素部のスイッチングTFTは多結晶シリコン上に形成され、周辺の駆動回路は単結晶シリコン上に形成されていることを特徴とする、アクティブマトリクス型液晶表示素子の駆動用半導体装置。

【請求項2】 画素部のスイッチングTFTが形成される多結晶シリコンと周辺駆動回路が形成される単結晶シリコンとを、同一基板上に同時にモノリシックに形成し、そしてその多結晶シリコン上に画素部のスイッチングTFTを形成し、単結晶シリコン上に周辺駆動回路を形成することを特徴とする、アクティブマトリクス型液晶表示素子の駆動用半導体装置の製造方法。

【請求項3】 前記多結晶および単結晶シリコン層は、熱CVD法により形成することを特徴とする、請求項2記載のアクティブマトリクス型液晶表示素子の駆動用半導体装置の製造方法。

【請求項4】 前記多結晶および単結晶シリコン層は、非晶質シリコン層からの固相成長により形成することを特徴とする、請求項2記載のアクティブマトリクス型液晶表示素子の駆動用半導体装置の製造方法。

【請求項5】 前記多結晶および単結晶シリコン層は、基板表面より核形成密度の大きい堆積膜上に形成されることを特徴とする、請求項2または3記載のアクティブマトリクス型液晶表示素子の駆動用半導体装置の製造方法。

【請求項6】 前記多結晶および単結晶シリコン層は、非晶質シリコン層内での核形成頻度を制御することにより形成されることを特徴とする、請求項2または4記載のアクティブマトリクス型液晶表示素子の駆動用半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、高品位テレビなどに利用される、アクティブマトリクス型液晶表示装置の駆動回路を構成する半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 従来より、アクティブマトリクス素子を設けた液晶表示素子は、フラットパネルディスプレイとして、或いは、プロジェクションテレビとして商品化されてきた。

【0003】 図4は従来のアクティブマトリクス型液晶パネルの概略斜視図である。図中、401は画素スイッチ、402はバッファ部、403は水平シフトレジスタ部、404は垂直シフトレジスタ部である。テレビの輝度信号や音声信号は、ある帯域に圧縮され、その周波数に追従できる駆動能力を持った水平シフトレジスタ40

3によって駆動するバッファ部402に送られる。次に、垂直シフトレジスタ404によって画素スイッチ401がオンしている期間に液晶に信号が転送される。

【0004】 各回路に要求される性能は、HDTV（高品位テレビ）を念頭に入れ、フレーム周波数が60Hz、走査線本数が約1000本、水平走査期間が約30μsec（有効走査期間27μsec）、水平画素数が約1500個とすると、テレビ信号は、約45MHzの周波数でバッファ部に転送されてくる。また、走査線1本あたりの信号転送に許される期間は、1~2μsecとなる。従って、各要素回路に要求される性能としては、①水平シフトレジスタの駆動能力が45MHz以上、②垂直シフトレジスタの駆動能力が500kHz以上、③水平シフトレジスタで駆動され、テレビ信号をバッファ部に転送するトランスファスイッチの駆動能力が45MHz以上、そして、④画素スイッチの駆動能力が500kHz以上となる。

【0005】 ここで言う駆動能力とは、液晶画素にある階調数Nを出そうとした場合、液晶の最大または最小の透過率を与える電圧をVm、V-T（電圧-透過率）曲線から得られる液晶の閾値電圧をVtとすると、上記走査線1本あたりの期間内に、該走査線で駆動されるすべての画素に信号が伝達され、かつ、同一レベルの信号が伝達されるべき画素間の信号電圧差が、(Vm-Vt)/N[V]以下である、信号転送能力を意味する。

【0006】 これから明らかのように、画素スイッチ、及び、垂直シフトレジスタは、比較的駆動能力が小さくても良いが、水平シフトレジスタ、及び、バッファ部は、高速の駆動を必要とされる。このため、現状の液晶表示素子では、画素スイッチや垂直シフトレジスタは、多結晶シリコンやアモルファスシリコンTFTで液晶とモノリシックに形成し、その他の周辺回路は、ICチップを外から実装することで対応している。

## 【0007】

【発明が解決しようとする課題】 多結晶シリコンTFTによって、周辺回路までモノリシックに形成しようとする試みはなされているが、個々のTFTの駆動能力が小さい為、トランジスタサイズを大きくしたり、回路上複雑な工夫が必要である。また、画素スイッチも含め周辺駆動回路をウエハ上に形成する試みもなされているが、この方法では、表示素子の面積や形状がウエハサイズに制限を受け、大画面のディスプレイには使えない。

【0008】 また近年、SOI型単結晶薄膜トランジスタは、3次元集積回路や密着センサ及び平面ディスプレイ用装置の構成要素として注目されている。特に、シリコン薄膜トランジスタは、従来のウエハ上に作成されたトランジスタに比べ、寄生容量が小さい、ラッチアップフリーの誘電体分離、放射線耐性に優れている、等の特性を有し、数多くの研究、開発がなされている。そして、近年、SOI層の膜厚を充分薄くして（超薄膜化）

そこにトランジスタを形成すると、固有のメカニズムによって、高いキャリア移動度が得られる、サブスレッショルド特性が改善されるなど、トランジスタ特性の改善につながるとして、研究が盛んに行われている。

【0009】しかしながら、これら超薄膜トランジスタにおいても、問題点がある。即ち、ゲート電圧 $V_g=0$  [V] (オフ時) のドレイン耐圧が、膜厚の減少にともない急激に劣化する。この問題点は、トランジスタの応用展開を図っていく上で、特に、密着センサや平面ディスプレイなど設計上高耐圧が要求される分野では、大きな障害となることは明らかである。

【0010】上述の問題点の発生する原因は、基本的には、SOI固有の構造であるフローティング構造に起因する。このことを、N-ch MOSFETについて説明する。

【0011】トランジスタのゲート・ドレイン間にあるバイアスが印加されると、電気力線は、ゲート電極端からドレイン電極端まで伸びるが、その際、ドレイン・チャネル接合部に電界の非常に密な領域が形成されることになる。この電界は、特に、上述接合部とゲート絶縁膜界面に集中する。ソース部から供給された電子は、ドレイン端まで到達すると、この電界によって更に加速され、ドレイン・チャネル接合の空乏層内でIMPACT IONIZATIONを引き起こし、正孔を発生する。発生した正孔はソース端まで移動し、ソース電極から引き抜かれるが、その程度が増してくると、正孔はソース部から引き抜かれずにチャネル領域に蓄積するようになる。チャネル領域に蓄積した正孔は、チャネルのポテンシャルを下げ、更に多くの電子がドレイン端に供給されるようになる。供給された電子は更にIMPACT IONIZATIONを引き起こし、チャネル部に正孔を蓄積させる。このように、電界集中→IMPACT IONIZATION→正孔の蓄積という一連の動作に正帰還がかかり、その過程において、トランジスタの耐圧が劣化する。トランジスタのオフ時には、上記の過程において、IMPACT IONIZATIONを引き起こす電子の供給が、ドレイン接合の逆方向電流の発生により供給される。

【0012】P-ch MOSFETについても、多数キャリアが正孔であるという点が異なるだけであり、この場合、正孔のIMPACT IONIZATION率が電子に比べ小さく、その影響が多少緩和されるというだけで、基本的には、同様の問題点があると考えられる。

【0013】上述のような過程で発生する問題点を解決するための1つの考え方として、チャネルに蓄積しようとするキャリア(N-CH MOSFETの場合は正孔、P-CH MOSFETの場合は電子)を、いかに速くチャネル領域から引き抜くかという観点と考えられる。このための手段として、通常のIC構造に見られる

ように、チャネルの電位(以下SUB電位)をある電位に固定することが考えられる。

【0014】しかしながら、従来の方法によれば、SUB電位を取り出すための領域が必要であり、そのため、素子面積が増大してしまう。このことは、素子の集積化の妨げになるばかりか、例えば、液晶素子のスイッチングトランジスタとして応用しようとした場合、画素の開口率を低下させる。

【0015】本発明の目的は、このような従来技術の問題点に鑑み、高品位テレビ等に対応できるような高速駆動をなし得るアクティブマトリクス素子の駆動用半導体装置を容易な方法で提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するため本発明では、画素部のスイッチングTFTと周辺の駆動回路とが同一基板上に同時にモノリシックに形成され、画素部のスイッチングTFTは多結晶シリコン上に作製され、周辺の駆動回路は単結晶シリコン上に作製される。

【0017】多結晶および単結晶シリコン層は、例えば、熱CVD法により、あるいは非晶質シリコン層からの固相成長により、基板表面より核形成密度の大きい堆積膜上に、あるいは、非晶質シリコン層内での核形成頻度を制御することにより形成される。

【0018】

【作用】上述した単結晶薄膜トランジスタの問題点は、トランジスタを形成している活性層の結晶性が良く、蓄積しようとする少数キャリアのライフタイムが長いために起こると考えられる。例えば、多結晶シリコンTFTでは、上述のような問題点は、充分高い電圧で駆動すれば起こるが、通常使用するレベルの電圧(例えば $\pm 10$  [V]程度)では、殆ど起こらない。

【0019】更にいえば、液晶画素スイッチの駆動スピードは比較的遅くても良く、周辺の駆動回路には、高速の駆動が要求されている。

【0020】このような観点から、我々は、画素スイッチには、開口率を上げるため、駆動スピードは比較的遅いが、少数キャリアのライフタイムが短い多結晶TFTを用い、周辺駆動回路には、駆動能力の高い単結晶TFTを用いれば良いという結論に至った。

【0021】しかしながら、従来の技術では、両方の結晶を作りこむためのプロセスは、少なくともマスク2枚、堆積工程2回は必要であり、また、絶縁基板上に、単結晶シリコン層を形成するためには、電子ビームなどのエネルギービームの照射が必要であり、コスト的に見ても折り合わないことは明らかである。

【0022】そこで、我々は、さらに、簡単なプロセスで多結晶シリコンと単結晶シリコンを絶縁基板上に形成することを実現し、それを用いて、アクティブマトリクス基板を作製することは、産業的に見て非常に有意義で

あるという観点から、この発明をなすに至った。

【0023】本発明においては、画素部のスイッチングTFTと周辺の駆動回路とが同一基板上に同時にモノリシックに形成されるため、装置は容易に形成される。また、画素部のスイッチングTFTは多結晶シリコン上に作製され、周辺の駆動回路は単結晶シリコン上に作製されるため、前記理由から、駆動能力を高く維持しつつ単結晶薄膜トランジスタにおける問題点も回避される。

【0024】

【実施例】以下、図面を用いて、本発明の実施例を詳細に説明する。図1は、本発明の一実施例に係るアクティブマトリクス型液晶パネルの概略図である。図中、101は石英などの絶縁基板、102は液晶セル、103は画素スイッチ、104は水平シフトレジスタ、105はバッファ、106は垂直シフトレジスタ、107は走査線、108は信号線である。

【0025】本実施例では、画素スイッチ103は多結晶シリコンTFTで構成され、他の周辺駆動回路（水平シフトレジスタ104、バッファ105、垂直シフトレジスタ106）は、単結晶シリコンTFTで構成されている。

【0026】本実施例による構成のアクティブマトリクス型液晶パネルにおいては、TFTにかかる電圧差が最も大きい画素スイッチを多結晶シリコンTFTで構成することにより、TFTの耐圧の問題を回避することが可能である。また、駆動スピードを要求される周辺回路、特に、シフトレジスタは、単結晶シリコンTFTで構成することにより、非常に速い周波数の信号、例えば、高品位テレビ対応の信号にも対応することができる。

【0027】また、本実施例においては、画素スイッチ103を構成する多結晶シリコン層と、周辺駆動回路を構成する単結晶シリコン層とが同時に形成される。これにより、従来の多結晶シリコンのみの構成（画素スイッチのみモノリシックに構成）によるアクティブマトリクス素子の製造プロセスとまったく同様のプロセスによって素子を形成することが可能となり、コスト的に見ても、従来のものに遜色ないものを形成することができる。

【0028】次に、この製造プロセスについて説明する。上述のように、絶縁基板101上に、多結晶シリコン層と単結晶シリコン層とを同時に形成し、それぞれに用途に応じたトランジスタを形成する。

【0029】そこで、まず、絶縁基板101上の所望の箇所に、多結晶シリコン層と単結晶シリコン層とを同時に形成する方法について述べる。

【0030】図2(A)～(D)は本実施例によるTFTの作製プロセスを示す。同図(A)に示すように、まず、石英基板101の一主面に、後にトランジスタを形成する領域にのみ通常のフォトリソ工程により、凹部202、202'を設ける。これらの凹部の大きさは、後

に形成するトランジスタの形状により決定されるが、例えば、画素スイッチが形成される凹部202は、 $3\mu\text{m} \times 15\mu\text{m}$ 深さ $0.5\mu\text{m}$ とする。また、周辺駆動回路を構成するトランジスタが形成される凹部202'は、回路を構成するトランジスタ1個1個がそれぞれ1つの凹部に形成されるようにその大きさが決められる。

【0031】次に、図2(B)に示すように、通常の減圧CVD法により、シリコン窒化膜を全面に堆積させた後、画素スイッチを形成する凹部202については、その底面203全体に残るように、また周辺回路を形成する凹部202'については、凹部底面のほぼ中央に約 $1\mu\text{m} \times 1\mu\text{m}$ のドット203'を残すようにして、他の部分のシリコン窒化膜をエッチング除去する。

【0032】次に、図2(C)に示すように、減圧エピタキシャル成長装置を用い、圧力を $150\text{Torr}$ 、温度を $960^\circ\text{C}$ とし、 $\text{SiH}_2\text{Cl}_2/\text{HCl}/\text{H}_2$ ガス下においてシリコンを成長させる。この条件下で成長を行なうと、凹部底面全体にシリコン窒化膜が残っている画素スイッチを形成する凹部202には、多結晶シリコン204が、また、凹部底面のほぼ中央にシリコン窒化膜のドットが残っている周辺駆動回路の凹部202'には、単結晶シリコン204'が成長する。このような選択成長が起こることについては、特開昭62-81711号公報、特開昭63-107016号公報や、「固体材料素子カンファレンス(SSDM) Extended Abstracts of the 19th SSDM, 191」に述べている通りである。成長した多結晶シリコンの粒径は、約 $1\mu\text{m}$ であり、多結晶シリコンおよび単結晶シリコンの膜厚は約 $10\mu\text{m}$ まで成長させる。そして、石英基板101の表面より飛び出したシリコン層を、通常のメカノケミカルポリッシングにより石英基板101表面と同じ平面になるまで研磨し、基板表面を平坦化する。

【0033】そして、図2(D)に示すように、このようにして形成した基板に、通常のMOSFETの作製プロセスを用いることにより、回路を形成する。

【0034】このようにして、石英基板101上の所望の領域に、多結晶シリコンと単結晶シリコンとを同時に形成することができる。

【0035】これによれば、例えば画素部のトランジスタが形成する段差を非常に小さくすることができるため、液晶セル分子の不整化を同時に防止することができる。

【0036】また、本実施例では、石英基板に凹部を設け、そこに、シリコン層を形成する方法について示したが、基板上の凹部は、本発明の本質ではない。特に、凹部を設けず、図2(B)の工程から始めても特に問題はない。この場合、基板全体にトランジスタ形成による段差が生ずるため、液晶セル分子の不整化の問題は残るが、その段差量は高々 $1\mu\text{m}$ 程度であり、実用上問題はなかった。

【0037】また、段差の影響は、特に液晶がその上部に存在する画素部で顕著なため、画素スイッチを形成する領域のみ凹部を設けることも十分考えられる。この場合、図2(A)の凹部202のみ形成することになる。

【0038】図3は、本発明の他の実施例に係る方法であって、多結晶シリコンと単結晶シリコンをモノリシックにかつ同時に形成する方法を示す。この方法においては、まず、同図(A)に示すように、石英基板101上に、減圧CVD法により、堆積温度550℃の条件で、非晶質シリコン膜を1000Å堆積させ、その後、トランジスタを形成する領域302、302'を残し、他の非晶質シリコン膜をエッチング除去する。そして、領域302、302'に対し、通常のイオン注入法により、Si<sup>+</sup>イオン305を70keV、4E14cm<sup>-2</sup>の条件で注入する。この注入条件では、非晶質シリコン膜と石英基板との界面付近に注入飛程のピークがくる。

【0039】次に、図3(B)に示すように、多結晶シリコン膜を形成する領域302をレジストで全体を覆うとともに、単結晶シリコン膜を形成する領域302'には膜のほぼ中央に約1μm×1μmのドット状にレジストマスクを形成した後、Si<sup>+</sup>イオン306を70keV、2E15cm<sup>-2</sup>の条件で注入する。

【0040】次に、レジストを除去した後、600℃、N<sub>2</sub>雰囲気中で50hrのアニールを行う。その結果、領域302では、粒径数千Åの多結晶シリコン膜が、領域302'では、前記ドット状に残したレジストマスク付近から成長が始まり、最終的には、単結晶シリコン膜が、成長する。

【0041】

【発明の効果】本発明によれば、周辺駆動回路までモノ

リシックに形成したアクティブマトリクス型液晶表示素子のトランジスタの活性層において、画素部のスイッチングTFTのように、駆動スピードは要求されないが、セルサイズの微細化、高耐圧化が要求されるような素子には多結晶シリコンを用い、シフトレジスタの様に高速駆動が要求されるような周辺の駆動回路には単結晶シリコンを用いるようにしたため、高品位テレビ等に対応し得る高速駆動のアクティブマトリクス型液晶表示素子の駆動用半導体装を構成することができる。

【0042】また、多結晶シリコンと単結晶シリコンとを同時に形成するようにしたため、高品位テレビ対応のアクティブマトリクス型液晶表示素子の駆動用半導体装を、容易に、かつ、モノリシックに形成することができる。

#### 【図面の簡単な説明】

【図1】 本発明の一実施例に係るアクティブマトリクス型液晶表示素子の概略斜視図である。

【図2】 本発明の一実施例に係るアクティブマトリクス型液晶表示素子の駆動回路を形成するための断面プロセスフローである。

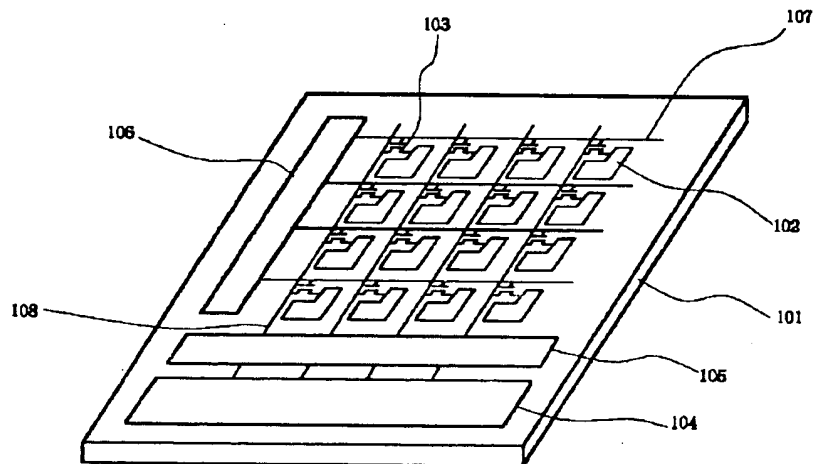
【図3】 本発明の他の実施例によるアクティブマトリクス型液晶表示素子の駆動回路を形成するための断面プロセスフローである。

【図4】 従来例に係るアクティブマトリクス型液晶パネルの概略斜視図である。

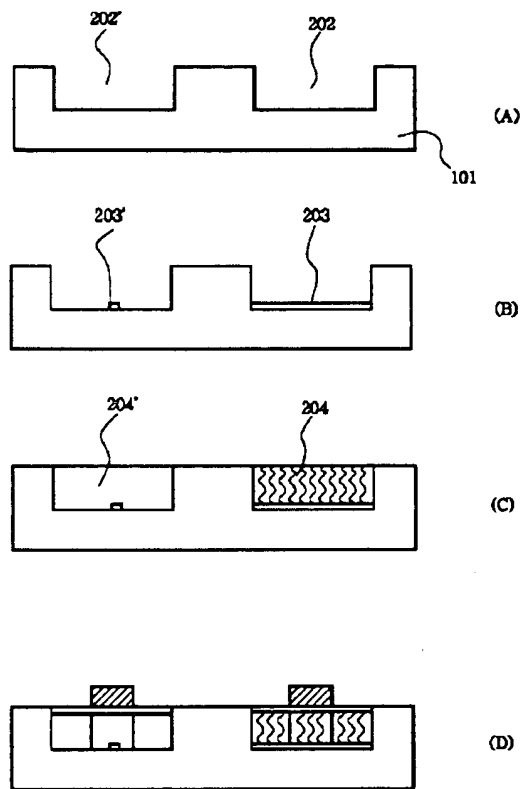
#### 【符号の説明】

101：石英などの絶縁基板、102：液晶セル、103：画素スイッチ、104：水平シフトレジスタ、105：パッファ、106：垂直シフトレジスタ、107：走査線、108：信号線、204：多結晶シリコン、204'：単結晶シリコン

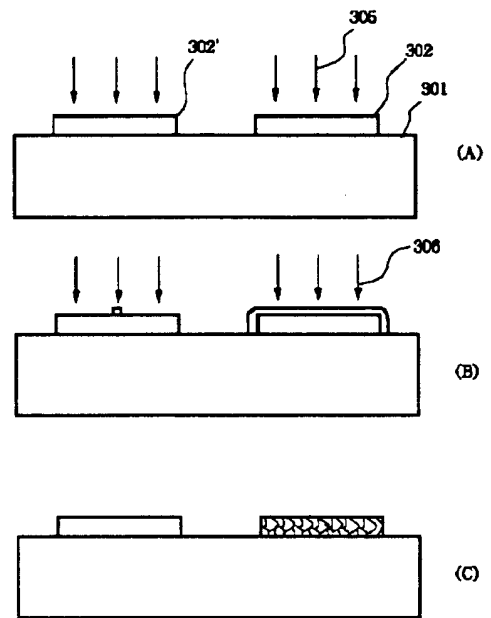
【図1】



【図 2】



【図 3】



【図 4】

